

DRAM의 고신뢰도 유지를 위한 오류정정부호의 소개

하태욱, 나희주, 공동현, 김상호*
성균관대학교 전자전기컴퓨터공학과

*iamshkim@skku.edu

On the Error Correction Code for High-Reliability of DRAM Device

Taeuk Ha, Hee Ju Na, Dong Hyun Kong, Sang-Hyo Kim*

Department of Electrical and Computer Engineering, Sungkyunkwan University

요약

DRAM에서 발생하는 오류로 인한 신뢰도 문제에 대응하기 위해 DRAM에 오류정정부호(ECC, error correction code)가 도입되었다. 오늘날 DRAM에 적용되는 오류정정부호 기술은 Rank-Level ECC (RL-ECC)와 On-Die ECC (OD-ECC)로 분류할 수 있다. RL-ECC는 rank단위로 오류를 정정하고, OD-ECC는 DRAM 칩 내부 공간에 구성된 회로를 통해 칩에서 발생하는 오류를 정정한다. 본 논문은 DRAM에 적용되는 오류정정부호 기술에 대한 내용을 정리하여 소개한다.

I. 서론

DRAM (Dynamic Random Access Memory)은 빠른 데이터 접근 속도와 비용의 효율성을 바탕으로 사용되고 있다. 오늘날 제조 기술의 발전에 따른 공정 세밀화로 DRAM 칩은 이전보다 뛰어난 성능을 발휘할 수 있게 되었다. 하지만 DRAM 칩의 셀들은 더욱 집약되었고, 이로 인한 새로운 문제들이 떠올랐다[1]. 셀의 집적도가 높아짐에 따라 발생한 단일 비트 오류 (SBU, single bit upset)에 물리적으로 인접한 여러 셀들에 오류가 발생할 확률이 증가했고, 이로 인해 다중 비트 오류 (MBU, multiple bit upset)의 발생 비율이 과거에 비해 크게 상승하였다[2]. 이는 전체적인 시스템의 신뢰도에 대해 중요한 문제가 될 수 있기 때문에 이에 대응하고자 오류정정부호 (ECC, error correction code) 기술이 DRAM에 도입되었다[3]. 오늘날 DRAM에 적용되는 오류정정부호 기술은 크게 두 가지로 분류할 수 있는데, 하나는 DRAM 칩 내부 회로로 설계된 On-Die ECC (OD-ECC)[4]이고 다른 하나는 여러 DRAM칩 단위로 오류를 정정하는 Rank-Level ECC (RL-ECC)[3]이다. 본 논문은 DRAM과 오류정정부호 및 DRAM에 적용되는 오류정정부호 기술에 대한 기본적인 내용을 정리하여 소개한다.

II. 본론

A. DRAM 소개

DRAM은 비트당 하나의 트랜지스터-콘덴서 쌍을 사용하는 random-access memory를 의미한다[5]. DRAM은 하나의 칩으로 사용되지 않고 DIMM (Dual In-line Memory Module)이라 불리는 회로판에 여러 개의 칩이 부착되어 사용되기 때문에 하나의 메모리 컨트롤러는 여러 개의 DRAM과 동시에 연결되어 데이터를 관리한다. DRAM에서 오류가 발생하는 원인은 다양하게 존재하는데, 셀의 손상 등 소자 문제가 원인이 되어 영구적인 오류를 일으킬 수 있고, 외부 입자의 충돌이나 온도 변화 등 내·외부적인 원인이 랜덤하게 일시적인 오류를 발생시킬 수도 있다. 최근에는 셀들의 집적화로 인해 한 셀의 누설전류가 인접한 셀들에 오류를 일으키는 등의 원인으로 물리적으로 인접한 셀들에서 동시에 오류가 발생하는 버스트(burst) 오류 발생 비율이 증가하고 있다[2].

표 1. DRAM에 사용되는 오류정정부호의 종류와 특징

부호	오류정정능력	패리티 수 r
Hamming code	SEC	$r \geq 2$
Hsiao code	SEC-DED	$r \geq 2$
BCH code	t -bit correction	$*n - k$
RS code	t -symbol correction	$2t$ symbols

*BCH 부호는 코드 설계에 따라 패리티 수가 달라짐

B. 오류정정부호 소개

오류정정부호 기술은 데이터의 통신 과정에서 발생할 수 있는 오류를 탐지 및 정정하기 위해 전송하고자 하는 정보에 패리티(parity)라고 불리는 여분의 데이터를 추가하는 기술로[6], 정보를 부호어(codeword)라는 새로운 메시지로 부호화(encoding)하고, 수신한 부호어를 다시 기존의 정보로 복호화(decoding)하는 과정을 통해 이루어진다. 오류정정부호를 이용하면 비록 전송해야 하는 데이터의 양은 증가하지만 오류에 대한 대응이 가능해지면서 전체 시스템의 신뢰도를 향상시킬 수 있다. 정정 가능한 오류의 범위에 따라 다양한 종류의 오류정정부호가 존재하는데, 단일 오류 정정(SEC, single error correction)이 가능한 Hamming[6] 부호, Hamming 부호 기반의 단일 오류 정정 이중 오류 검출(SEC-DED, single error correction-double error detection)이 가능한 Hsiao[7] 부호, 오류 정정 범위를 조절할 수 있는 BCH (Bose-Chaudhuri-Hocquenghem)[8] 부호 등이 DRAM에서 사용되는 오류정정부호의 대표적인 예시이다. 위의 부호들은 비트 단위로 오류를 정정하는 부호지만 심볼 단위로 오류를 정정하는 부호도 존재한다. 심볼 단위로 오류를 정정할 경우 오류가 발생한 심볼의 개수가 정정 범위 내에 있다면 한 심볼 안의 오류와 관계없이 정정이 가능하다. RS (Reed-Solomon)[10] 부호는 심볼 단위 오류 정정 부호의 대표적인 예시로, 한 심볼 당 비트 수가 m 이고 패리티 심볼의 수가 $2t$ 개일 때 $(2^m - 1, 2^m - 2t - 1)$ 길이의 t -심볼 오류 정정 능력을 갖는 부호이다. 표 1은 DRAM에 사용될 수 있는 오류정정부호들의 종류와 특징에 대해 나타낸 표이다.

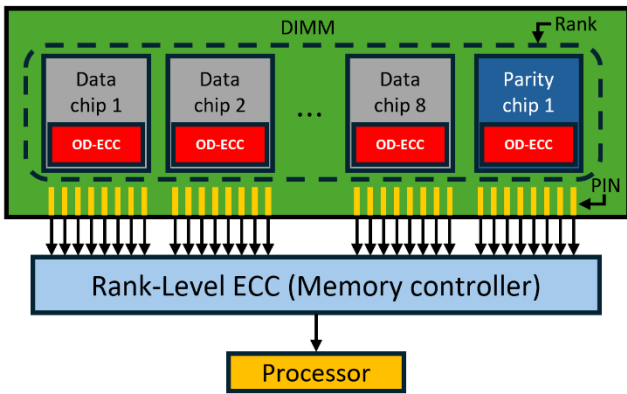


그림 1. DRAM ECC 구조 예시

C. Rank-Level ECC

DIMM-Level ECC로도 불리는 RL-ECC는 rank 단위로 진행되는 ECC로, rank란 함께 사용되는 DRAM 칩들을 묶은 단위이다. ECC-DIMM에는 패리티를 저장하기 위한 패리티 칩이 존재하며, rank에 데이터를 저장할 때 메모리 컨트롤러에서 패리티를 계산하여 패리티 칩에 저장한다. RL-ECC의 범위는 간단한 SEC-DED 부호부터 하나의 DRAM 칩에서 발생하는 모든 오류를 정정하는 Chipkill-correct[4, 9] 등 다양하게 존재하는데, rank 단위의 경우 많은 수의 비트에서 발생하는 오류를 정정하기 때문에 심볼 단위 오류 정정을 하는 RS 부호를 활용할 수 있다[9].

그림 1은 8개의 핀을 가진 DRAM 칩 8개를 사용해 64비트씩 데이터를 전송하는 경우, 1개의 패리티 칩을 추가로 사용해 9개 칩을 하나의 rank로 사용한 예시이다. 한 핀을 통해 주고받은 데이터 8비트를 묶어 한 심볼로 나타내면 $m = 8$ 인 경우이므로 (255,247) RS 부호를 설계할 수 있고 사용하는 메시지 길이까지 단축해 (72,64) shortened RS 부호를 설계할 수 있다. 이 RS 부호를 통해 메모리 컨트롤러는 DIMM에서 전달받은 부호어 중 4개의 심볼 오류까지 제어할 수 있다.

D. On-Die ECC

OD-ECC는 공정 세밀화로 인해 제기된 신뢰도 문제를 해결하기 위해 도입된 개념으로, 각각의 DRAM 칩 내부에서 여분의 셀을 사용하여 설계된 회로를 통해 부호화 및 복호화가 진행되는 오류정정부호이다[4]. DRAM에 데이터를 저장할 때 여분의 셀에 패리티 비트를 저장하고, 데이터를 읽을 때 패리티 비트를 이용해 오류를 정정해 DRAM 칩의 신뢰도를 높인다. OD-ECC는 주로 비트 단위로 오류를 정정하는데, DRAM 칩의 특성상 시간 지연 및 공간의 여유가 적기 때문에 오버헤드(overhead)가 제한된다. 따라서, 많은 패리티를 필요로 하고 복호기가 복잡한 오류정정부호보다 비교적 패리티가 적고 복호가 빠른 SEC, SEC-DED 부호들을 OD-ECC로 사용한다. OD-ECC는 칩에서의 오류를 정정하는 자체의 효과도 있지만, RL-ECC의 오류 정정을 돕는 효과 또한 가지고 있다[11].

그림 1에서와 같이 9개의 8핀 DRAM 칩으로 데이터를 전송할 때 2개의 핀에 2비트 오류가 발생하고 3개의 핀에서 1비트 오류가 발생하는 상황을 가정한다. 이때 OD-ECC가 적용되지 않은 경우 오류가 발생한 심볼의 개수가 5개로 (72,64) RS 부호의 오류 정정 범위를 넘어가지만, OD-ECC로 SEC 부호를 적용할 경우 3개의 핀에서 발생한 1비트 오류는 칩 내부의 OD-ECC를 통해 정정되기 때문에 2 심볼에서만 오류가 발생한 것이 되고, 이 오류는 RL-ECC를 통해 정정할 수 있게 된다.

무작위 비트 오류에 대해선 적은 패리티를 갖는 단일 오류 정정 OD-ECC를 통해 대응하고, 버스트 오류 등 다중 비트 오류에 대해선 RL-ECC를 통해 심볼 단위로 오류를 정정하여 효과적으로 대응할 수 있다. 하지만 OD-ECC와 RL-ECC를 결합하여 사용하여 신뢰도를 크게 향상시키는 만큼 전력 소비, 시스템 성능 등에서의 비용이 발생하기 때문에 이를 개선하기 위해 다양한 연구를 진행해야 한다.

III. 결론

본 논문에서는 DRAM에 적용되는 ECC 기술에 대해 소개하였다. DRAM ECC는 칩 내부에서 오류를 정정하는 OD-ECC와 rank 단위로 오류를 정정하는 RL-ECC로 구분된다. OD-ECC로 무작위 비트 오류를 정정한 뒤 RL-ECC를 통해 다중 비트 오류를 정정해 효과적으로 오류에 대응할 수 있지만, 이때 발생하는 비용을 줄이기 위한 연구가 필요하다.

ACKNOWLEDGMENT

이 논문은 2023년도 정부(과학기술정보통신부)의 재원으로 한국연구재단(NRF-2021R1A2C1008913)과 정보통신기획평가원(No.2021-0-00863, 고신뢰 메모리를 위한 지능형 인메모리 오류정정 디바이스 개발)의 지원을 받아 수행된 연구임.

참고 문헌

- [1] Prashant J. Nair, Dae-Hyun Kim, and Moinuddin K. Qureshi. 2013. ArchShield: architectural framework for assisting DRAM scaling by tolerating high error rates. In *International Symposium on Computer Architecture*. ACM Press, New York, New York, USA, 72-83.
- [2] S. Satoh, Y. Tosaka and S. A. Wender, "Geometric effect of multiple-bit soft errors induced by cosmic ray neutrons on DRAM's," in *IEEE Electron Device Letters*, vol. 21, no. 6, pp. 310-312, June 2000.
- [3] S.-L. Gong, J. Kim, S. Lym, M. Sullivan, H. David, and M. Erez, "Duo: Exposing on-chip redundancy to rank-level ECC for high reliability," in *Proc. IEEE Int. Symp. High Perform. Comput. Archit. (HPCA)*, Feb. 2018, pp. 683-695.
- [4] Kim, Dongwhee, et al. "Unity ECC: Unified Memory Protection Against Bit and Chip Errors." *Proceedings of the International Conference for High Performance Computing, Networking, Storage and Analysis*. 2023.
- [5] Jacob, Bruce, David Wang, and Spencer Ng. *Memory systems: cache, DRAM, disk*. Morgan Kaufmann, 2010.
- [6] R. W. Hamming, "Error Correcting and Error Detecting Codes," *Bell Sys. Tech. Journal*, Vol. 29, no. 2, pp. 147-160, Apr. 1950.
- [7] M. Y. Hsiao, "A Class of Optimal Minimum Oddweight-column SEC-DED codes," *IBM J. Res. Develop.*, Vol. 14, no. 4, pp. 301-395, Jul. 1970.
- [8] R. Bose and D. Ray-Chaudhuri, "On a class of error correcting binary group codes," *Information and Control*, vol. 3, no. 1, pp. 68-79, 1960.
- [9] J. Kim, M. Sullivan and M. Erez, "Bamboo ECC: Strong, safe, and flexible codes for reliable computer memory," *2015 IEEE 21st International Symposium on High Performance Computer Architecture (HPCA)*, Burlingame, CA, USA, 2015, pp. 101-112.
- [10] I. S. Reed and G. Solomon, "Polynomial codes over certain finite fields," *J. Soc. Ind. Appl. Math.*, vol. 8, no. 2, pp. 300-304, Jan. 1960.
- [11] P. J. Nair, V. Sridharan, and M. K. Qureshi, "XED: Exposing on-die error detection information for strong memory reliability," in *Proc. ISCA*, 2016, pp. 341-353.